數位電路Lab04 報告

0416094黃兆宇

Pttern 判斷可能錯誤處:

1. 答案錯誤:

先自己算出正確答案，在和design 的output 比對，可能出現未排序錯誤或overflow，overflow可用大測資測出。

1. output未歸零:

本題在reset時output必須歸零，且必須在

reset由0變1時檢驗(前面1變0時讓design歸零)

作法:用task讀取output訊號，若非零，則印出錯誤訊息。

1. out\_valid未歸零:

除了在輸出答案時，out\_valid都必須為零，在輸入後和reset時檢驗

作法:用task讀取out\_valid訊號，若非零，則印出錯誤訊息。

1. 輸出cycle過多:

在輸入時逐一數cycle直到數到8個為止，若超過八個則輸出錯誤訊息。

作法:宣告一個counter在判斷輸入的while迴圈裏面逐一往上加若比七大，則輸出錯誤訊息。

1. 輸出的cycle過少:

輸出的cycle不可小於8個，否則錯誤。

作法:在判斷輸入是否正確或過長的迴圈結束後，判斷若不等於8，則過短，印出錯誤訊息。

1. Lantacy超過一百:

若超過一百個cycle未輸出，則判斷錯誤。

作法:在out\_valid還未拉起時，宣告一個counter在whlie迴圈中判斷，若counter超過100，則輸出錯誤訊息。